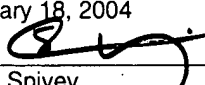
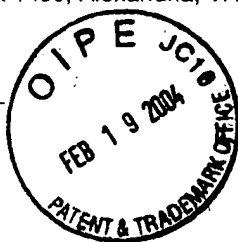


CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to the: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Date: February 18, 2004


Christine M. Spivey



Patent
36856.1148

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Koji MURATA et al. Serial No.: 10/713,253 Filing Date: November 17, 2003 For: MANUFACTURING METHOD OF ELECTRONIC DEVICE	Art Unit: 2837 Examiner: Unknown
---	-------------------------------------

TRANSMITTAL OF PRIORITY DOCUMENTS

Commissioner for Patent
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese Patent Application Nos. **2002-341763** filed **November 26, 2002** and **2003-344041** filed **October 2, 2003** from which priority is claimed under 35 U.S.C. 119 and Rule 55b.

Acknowledgement of the priority documents is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: February 18, 2004


Attorneys for Applicant(s)

Joseph R. Keating
Registration No. 37,368

Christopher A. Bennett
Registration No. 46,710

KEATING & BENNETT LLP
10400 Eaton Place, Suite 312
(703) 385-5200

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月26日
Date of Application:

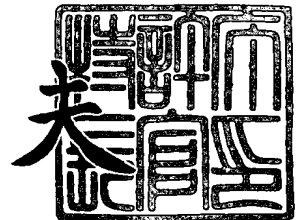
出願番号 特願2002-341763
Application Number:
[ST. 10/C]: [JP 2002-341763]

出願人 株式会社村田製作所
Applicant(s):

2003年10月21日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3086363

【書類名】 特許願

【整理番号】 10595

【提出日】 平成14年11月26日

【あて先】 特許庁長官殿

【国際特許分類】 H03H 9/25

【発明者】

 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田
 製作所内

 【氏名】 村田 好司

【発明者】

 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田
 製作所内

 【氏名】 岩本 敬

【特許出願人】

 【識別番号】 000006231

 【氏名又は名称】 株式会社村田製作所

 【代表者】 村田 泰隆

【代理人】

 【識別番号】 100085497

 【弁理士】

 【氏名又は名称】 筒井 秀隆

【手数料の表示】

 【予納台帳番号】 036618

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9004890

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子部品の製造方法

【特許請求の範囲】

【請求項1】 一主面に機能部と端子電極とを有する電子素子と、上記電子素子の上記主面と対面させてフリップチップ接合される基板とを有し、上記電子素子の端子電極と基板の接合電極とをバンプを介して接合させて電氣的導通を得るとともに、上記電子素子と基板とを上記機能部とバンプとを取り囲むはんだ封止枠を介して接合させて機能部とバンプとを中空封止する電子部品の製造方法において、

上記機能部と端子電極とが形成された電子素子の主面上にフォトレジストを塗布する工程と、

上記フォトレジストを露光、現像することにより、バンプおよびはんだ封止枠に対応した開口を持つレジストパターンを得る工程と、

上記レジストパターンの上に密着層、バリアメタル層、はんだ層となる金属を順次堆積する工程と、

上記電子素子上のレジストパターンを除去することで、電子素子上にバンプとはんだ封止枠とを同時形成する工程と、を含むことを特徴とする電子部品の製造方法。

【請求項2】 上記電子素子は、圧電性基板の上に保護膜で覆われていないA1よりなるIDT電極と入出力用の端子電極とが形成された弾性表面波素子であることを特徴とする請求項1に記載の電子部品の製造方法。

【請求項3】 上記レジストパターンの厚みは、堆積される密着層、バリアメタル層、はんだ層の厚みの総和より厚く、

上記レジストパターンの開口は断面逆テーパ形状に形成されていることを特徴とする請求項1または2に記載の電子部品の製造方法。

【請求項4】 上記はんだ層はSn, Au, Ag, Cu, Zn, Si, Ge, Pb, In, Bi, Sbのうち少なくとも2つ以上の金属を含んでおり、上記はんだ層を構成する2つ以上の金属は層状に堆積させて形成されたものであり、

上記2つ以上の金属を堆積させたはんだ層を加熱溶融させて少なくともそれらの一部を合金化させると同時に、上記基板に設けられた接合電極に溶融金属を濡れさせて接合することを特徴とする請求項1ないし3のいずれかに記載の電子部品の製造方法。

【請求項5】 上記基板は集合基板であり、複数の上記電子素子を上記集合基板に接合した後、

上記電子素子の周囲を樹脂でコートする工程と、

上記集合基板およびコート樹脂を個片の電子部品に分割する工程と、をさらに含むことを特徴とする請求項1ないし4のいずれかに記載の電子部品の製造方法。

【請求項6】 上記電子素子は、ウエハ状態において上記バンプおよびはんだ封止枠が形成され、

上記バンプおよびはんだ封止枠が形成されたウエハの表面に粘着シートが接着された状態で、ウエハを個片の電子素子に切断する工程を含むことを特徴とする請求項1ないし5のいずれかに記載の電子部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電子部品の製造方法、特に通信分野における弾性表面波デバイスや光信号変調デバイス、高周波デバイスなどのフリップチップ実装され、中空封止された電子部品の製造方法に関する。

【0002】

【従来の技術】

【特許文献1】 特開平4-293310号公報

【特許文献2】 特開2000-77970号公報

【特許文献3】 特開平9-162690号公報

従来、弾性表面波素子（SAW素子）を基板に実装した構造の弾性表面波デバイスが知られている。このSAW素子を基板に実装し、パッケージするときに必要な条件として次のものがある。

（1）SAW素子を形成するIDT（インターディジタルトランスデューサー、

主成分 A 1) を周囲環境から遮断し腐食させない中空封止構造。

(2) SAW素子の電極から基板への電氣的な導通。

上記の条件を満たす弾性表面波デバイスの実装構造として、特許文献 1 および 2 に記載のものが提案されている。

【0003】

特許文献 1 には、SAW素子を基板にバンプを介してフリップチップ接合するとともに、IDT電極やバンプを取り囲む封止枠を接合させて、振動空間を確保しかつ気密封止した弾性表面波デバイスが開示されている。この場合は、バンプおよび封止枠が共にはんだで構成されており、クリーム半田の状態でスクリーン印刷法により基板に同時形成した後、溶融し固化させたものである。そして、SAW素子を基板上に置き、バンプをSAW素子の入出力電極に接触させ、バンプを加熱加圧して入出力電極に接合させると同時に、はんだ封止枠を素子側シールリングに接合させたものである。

【0004】

特許文献 2 も、同じく SAW素子を基板にフリップチップ接合し、かつ IDT やバンプを囲むはんだ封止枠を接合させて、気密封止するものである。すなわち、SAW素子の表面に入出力電極とシールリングとを設け、基板には取出電極とシールリングとを設け、取出電極の上にバンプを形成し、基板側シールリング上にはんだ封止枠を設けたものである。バンプはワイヤーボンディング法によって取出電極の上に形成し、はんだ封止枠ははんだペーストを基板側シールリング上に印刷し、リフロー後、洗浄することで形成している。

【0005】

特許文献 3 は、SAW素子を基板にフリップチップ接合し、かつ IDT やバンプを囲む封止枠を接合させて、気密封止するものである。すなわち、SAW素子の表面に入出力電極とシールリングとをリフトオフ法により形成し、入出力電極とシールリングの上にそれぞれバンプと封止枠とをリフトオフ法により形成する。バンプおよび封止枠は、例えばニッケルと金との 2 層構造としている。一方、基板には取出電極とシールリングとを設ける。基板のシールリングは例えば金をシール印刷することにより形成する。その後、SAW素子を基板に仮圧着し、その

後、リフローさせて接合するものである。

【0 0 0 6】

【発明が解決しようとする課題】

特許文献 1，2 では、基板側にはんだ封止枠を形成し、かつはんだ封止枠の形成に印刷法を用いているため、次のような問題がある。

基板が集合基板の状態ではんだ封止枠が形成されるが、基板側へはんだを印刷するときに、集合基板上の電極累積ピッチ精度と印刷用メタルマスクの精度との整合性をとらねばならず、封止枠の微細化が困難になる。そのため、素子が大きくなり、取り個数が少なくなる。

また、印刷時に集合基板の反りや、電極厚みバラツキに起因する印刷量バラツキが発生し、リフロー後のバンプ高さバラツキが出て接合不良が発生する。

さらに、リフロー時、コーナー部にはんだが凝集して盛り上がり、はんだ高さバラツキが出て、封止不良が発生する。

【0 0 0 7】

上記問題を解決するため、素子が多数個形成されたウエハ上にはんだペーストを印刷し、リフローすることにより、はんだ封止枠を形成する方法も考えられるが、その課題として、

はんだ封止枠の精度が出ない、

印刷マスクがウエハ表面の電極を傷つけ、特性劣化させる、

印刷時のスキージ印圧やはんだをリフローするときの熱でウエハが割れてしまう、などの問題が発生する。

【0 0 0 8】

一方、特許文献 3 の場合には、印刷法ではなくリフトオフ法を用いているので、上記のような問題はないが、バンプや封止枠として融点のはんだに比べて高温となる金を用いているので、リフロー時に非常に高温になり、S A W素子の特性劣化などの問題を招く恐れがあると同時に、金の使用量が多く、コスト上昇を招く欠点がある。

また、S A W素子の表面に予めシールリングを設け、その上に封止枠を形成するため、その位置合わせに精度が要求されると同時に、シールリングの幅を封止枠

より広くせざるをえず、SAW素子が大型になる欠点がある。

【0009】

そこで、本発明の目的は、電子素子上にはんだバンプとはんだ封止枠とを精度よく形成でき、確実な接合性と封止性とが得られる電子部品の製造方法を提供することにある。

【0010】

【課題を解決するための手段】

上記目的を達成するため、請求項1に係る発明は、一主面に機能部と端子電極とを有する電子素子と、上記電子素子の上記主面と対面させてフリップチップ接合される基板とを有し、上記電子素子と基板とをバンプを介して接合させて電氣的導通を得るとともに、上記電子素子と基板とを上記機能部とバンプとを取り囲むはんだ封止枠を介して接合させて機能部とバンプとを中空封止する電子部品の製造方法において、上記機能部と端子電極とが形成された電子素子の主面上にフォトリソを塗布する工程と、上記フォトリソを露光、現像することにより、バンプおよびはんだ封止枠に対応した開口を持つレジストパターンを得る工程と、上記レジストパターンの上に密着層、バリアメタル層、はんだ層となる金属を順次堆積する工程と、上記電子素子上のレジストパターンを除去することで、電子素子上にバンプとはんだ封止枠とを同時形成する工程と、を含むことを特徴とする電子部品の製造方法を提供する。

【0011】

本発明では、印刷法ではなく、フォトリソグラフィ技術を用いてはんだバンプおよびはんだ封止枠を電子素子上に形成するので、封止枠の微細化が可能となるとともに、バンプや封止枠の高さばらつきを小さくでき、高精度なバンプおよび封止枠を形成できる。また、特性劣化やウエハの割れといった不具合を解消できる。さらに、バンプおよびはんだ封止枠を同時形成することで、工程を短縮できる。

また、はんだ封止枠を形成するために、電子素子上に事前にシールリングのような電極を形成することなく、はんだ封止枠を電子素子上に直接形成しているため、はんだ封止枠を必要最小限の幅に形成でき、素子の小型化が可能になる。

バンプおよび封止枠は、密着層、バリアメタル層、はんだ層の3層構造よりなり、密着層が電子素子との密着性を確保すると同時に、バリアメタル層が密着層のはんだ食われを防止している。そのため、確実な接合性と封止性とが得られる。また、3層構造の金属層を蒸着やスパッタなど用いた堆積法により形成しているので、保護膜を厚く付けることができない電子素子にも、電子素子を損傷せずに安定したバンプおよびはんだ封止枠を形成することができる。

なお、端子電極上にバンプが形成されるが、バンプが端子電極の上に完全に載っている必要はなく、バンプの一部が端子電極上に接触しておれば、電氣的導通が得られるし、またバンプと電子素子との密着性も得られる。なお、はんだ封止枠の一部が端子電極上に接触していてもよい。

【0012】

請求項2のように、電子素子が弾性表面波素子である場合、半導体のようにSiO₂膜などの保護膜を厚くつけることが特性上困難であり、AlからなるIDTが保護膜に覆われていないことが多い。そのため、はんだペーストに含まれるフラックスを洗浄する時に、微細なIDTの隙間にフラックス残渣が残り、フラックス中に含まれるハロゲンがイオン化してIDTのAlを腐食させる。

これに対し、本発明では、バンプおよびはんだ封止枠をフォトリソグラフィ技術を用いた堆積法によって形成しているので、IDTを傷つけたり、ウエハが割れることがなく、IDT上のフラックス残渣もないので、歩留りと信頼性が向上する。

【0013】

請求項3のように、レジストパターンの厚みを、堆積される密着層、バリアメタル層、はんだ層の厚みの総和より厚くし、レジストパターンの開口を断面逆テーパ形状に形成するのがよい。

すなわち、堆積された金属層のリフトオフ性を考慮して、金属を堆積した際に、レジストパターン上の金属層と電子素子上の金属層とを完全に分離させる必要があるが、上記のようにレジストパターンの厚みを、堆積される金属層の厚みの総和より厚くし、レジストパターンの開口を断面逆テーパ形状に形成することで、複数の金属層を堆積した場合でも確実に分離することが可能となる。

なお、堆積法としては、蒸着法またはスパッタ法のように薄膜形成法を用いることで、均一な膜厚の金属層を形成できる。特に、蒸着法では電子素子を高温に加熱しなくてもよいので、圧電性を持つ電子素子において好適である。

【0 0 1 4】

請求項4のように、はんだ層はSn, Au, Ag, Cu, Zn, Si, Ge, Pb, In, Bi, Sbのうち少なくとも2つ以上の金属を含んでおり、はんだ層を構成する2つ以上の金属は層状に堆積させて形成されたものであり、2つ以上の金属を堆積させたはんだ層を加熱溶解させて少なくともそれらの一部を合金化させると同時に、基板に設けられた接合電極に溶解金属を濡れさせて接合するのがよい。

Snのような1つの金属だけではんだ層を構成することも可能であるが、低温脆性の性質があり、零下温度の環境では結晶が崩壊する。そこで、はんだ層を複数の金属の積層構造とし、接合時にはんだ合金を得ることで、合金蒸着のような難しい加工を必要とせずに、単一組成はんだの問題を解消できる。

また、はんだ合金を得ると同時に接合させることで、一部の金属がはんだに溶解してはんだの新生面を露出させることが可能となり、基板の接合電極にはんだ濡れを生じさせることができ、良好なはんだ接合、はんだ封止が行える。

【0 0 1 5】

請求項5のように、基板は集合基板であり、複数の電子素子を集合基板に接合した後、電子素子の周囲を樹脂でコートし、その後、集合基板およびコート樹脂を個片の電子部品に分割するのがよい。

上記のような工程で製造すれば、樹脂コート構造の電子部品を簡単かつ生産性よく製造できる。

【0 0 1 6】

請求項6のように、電子素子は、ウエハ状態においてバンプおよびはんだ封止枠が形成され、バンプおよびはんだ封止枠が形成されたウエハの表面に粘着シートが接着された状態で、ウエハを個片の電子素子に切断するのがよい。

ウエハ状態の電子素子にバンプおよびはんだ封止枠を形成した後、個片に切断すれば、生産性が向上するとともに、バンプおよびはんだ封止枠の位置精度が向上

し、高品質の電子素子が得られる。SAWウエハを個片に切断する際、その切削水や切り粉がIDTに付着し、Al腐食やIDTショートによる特性不良を起こす恐れがあるが、表面に粘着シートに接着した状態でウエハを切断すれば、粘着シートとはんだ封止枠とによってIDTの周囲が密閉されているので、切削水や切り粉がIDTに付着せず、Al腐食やIDTショートを起こすことがない。また、切断後の個々の電子素子が粘着シートによって位置を保持されているので、その後の基板との接合工程を自動化することが可能となる。

【0017】

【発明の実施の形態】

以下に、本発明の一実施形態を図面を参照して説明する。

図1、図2に本発明にかかる電子部品の一例である弾性表面波デバイスを示す。弾性表面波デバイスは、弾性表面波素子（以下、SAW素子と呼ぶ）1と、実装基板10と、SAW素子1の周囲をコートする樹脂20とで構成されている。

【0018】

SAW素子1は、圧電性を持つ水晶、LiTaO₃、LiNbO₃、LiB₄O₇等の基板2を備えており、基板2の一主面には、櫛歯状のIDT電極3と、その周辺に電氣的導通を得るための端子電極4と、端子電極4の上に一部または全部が載っているはんだバンプ5と、バンプ5とIDT電極3とを取り囲むように設けられたはんだ封止枠6とが形成されている。この例では、はんだ封止枠6の寸法を幅70μm、厚み20μm、バンプ5の寸法をφ70μm、厚み20μmとした。この厚み20μmは接合させる電極の凹凸を吸収させ、かつ、熱衝撃疲労による破壊を起さない寸法から決めた。また、70μmのバンプ径や封止幅は、実装基板10側に形成される電極の形成精度と、フリップチップ実装時の位置決め精度から、確実に接合できる寸法に設定した。

【0019】

実装基板10は多層セラミック基板であり、その上面にバンプ5を接合するためのバンプ用接合電極11と、はんだ封止枠6を接合するための封止枠用接合電極12とが形成されている。ここでは、バンプ用接合電極はφ70μmの円形、封止枠用接合電極は70μm幅の矩形枠状に形成した。実装基板10の下面には、

マザーボードとSMT接合するための外部電極13が設けられ、接合電極11はVIA電極14や内層配線15を経由して外部電極13に接続されている。なお、電気特性を維持するために、はんだ封止枠6と接合される封止枠用接合電極12をVIA電極14や内層配線15を介してアース用外部電極13aに接続してもよい。接合電極11、12や外部電極13は、はんだ実装性を考慮し、実装基板10の電極表面に2 μ mの厚みでNi無電解メッキし、さらに0.5 μ mの厚みでAu無電解メッキを施すのがよい。図1では実装基板10が2層のセラミック基板で構成されているが、単層や3層以上であってもよく、材質もセラミックでなく、樹脂やガラスでもよい。また、SAW素子1を複数個実装したり、多層セラミック基板10内にL、C、Rといった受動素子を形成したり、多層セラミック基板10上のSAW素子1が実装されない領域に他の表面実装部品を実装したりして、多機能モジュールを形成してもよい。

【0020】

SAW素子1に形成されたバンプ5と封止枠6は実装基板10にはんだ接合され、SAW素子1は実装基板10上にフリップチップ接合される。はんだ封止枠6の厚みにより中空を得るとともに、はんだバンプ5により電氣的導通を得る。さらに、はんだ封止枠6とSAW素子1と実装基板10とにより、IDT電極3を保護する気密封止を得ている。

はんだ接合・封止されたSAW素子1上には樹脂20がコーティングされ、IDT電極3を保護する気密封止は一層確実になるとともに、SAW素子1と実装基板10との固着強度が確保される。コート樹脂20として、本実施例では紫外線硬化樹脂を用いた。コート樹脂20は、SAW素子1の割れや欠けを防止するとともに、製品印字のために用いられ、エポキシ樹脂、シリコン樹脂、ポリイミド樹脂などを用いることができる。電気特性上、電磁シールドが必要なら、導電性粒子を混入させた導電性接着剤を用い、はんだ封止枠6と接着させて接地させてもよい。

【0021】

上記弾性表面波デバイスのうち、SAW素子1は図3のようにして製作される。まず、図3(a)のように、水晶、LiTaO₃、LiNbO₃、LiB₄O₇

等の圧電基板 2 上に、フォトレジスト 30 を全面に塗布する。

そし、図 3 (b) のように、フォトリソグラフィ技術を用いて、フォトレジスト 30 を露光、現像することにより、IDT 電極 3、端子電極 4 など電極膜を形成したい部分に開口を有するリフトオフ用レジストパターン 31 を形成する。

続いて、図 3 (c) のように、蒸着やスパッタリングなどの手法を用いてレジストパターン 31 上に電極材料 (A1) よりなる電極膜 32 を形成する。

次に、図 3 (d) のように、リフトオフを行い、レジストパターン 31 とその上に付着した不要な電極膜 32 を除去することで、圧電基板 2 上に IDT 電極 3 および端子電極 4 を含む電極パターンを形成する。

なお、IDT 電極 3 や端子電極 4 の形成方法は、フォトリソグラフィプロセスに限らず、成膜～レジストパターンニング～エッチング～レジスト剥離というエッチングプロセスを用いてもよい。この際、IDT 電極 3 の腐食の抑制のため、特性阻害しない程度の薄いパッシベーション膜 (SiO_2 , SiN 等) を設けてもよい。

【0022】

次に、上記のように電極 3、4 を形成した SAW 素子 1 の上に、バンプ 5 と封止枠 6 とを形成する方法を図 4 (a) ～ (e) に示す。

図 4 (a) は図 3 に示す方法で IDT 電極 3 等のパターンが形成された SAW 素子 1 を示す。

まず、図 4 (b) のように、IDT 電極 3 等のパターンが形成された SAW 素子 1 上に、リフトオフ用のネガ型フォトレジスト 40 を全面に塗布する。塗布厚は、後述する 3 層の金属層 42 ～ 44 の厚みの総和より厚くなるように、例えば $50\text{ }\mu\text{m}$ とする。

次に、フォトレジスト 40 をバンプ 5 および封止枠 6 を形成する部分が遮光するようなフォトマスクを用いて露光し、現像液により非露光部を除去 (現像) する。これにより、図 4 (c) のように、バンプ 5 および封止枠 6 に対応した部分が開口したネガレジストパターン 41 が形成される。このとき、ネガレジストパターン 41 の開口が断面逆テーパ形状となるような、フォトリソグラフィ条件にする。

続いて、レジストパターン 41 の上に、電子ビーム蒸着成膜法により、図 4 の (d) のように密着層 42 とバリアメタル層 43 とはんだ層 44 を順次成膜する。まず、密着層 42 として Ti を 50 nm の厚みで、続いてバリアメタル層 43 として Ni を 1.2 μ m の厚みで、続いてはんだ層 44 として Sn を主体とし Cu を添加した膜を 20 μ m の厚みで成膜する。ここでは、膜と膜の密着性を確保するため、真空破壊することなく、連続して成膜した。密着層 42 に Ti、バリアメタル層 43 に Ni を用いた場合には、SAW 素子 1 の圧電基板 2 との確実な密着が得られ、はんだ喰われによる密着不良を防止し、接合不良・気密封止不良が減る。密着層 42 には、Ti の他に、Al、Ni、Cr、Cu またはこれらの合金などを用いることができる。また、バリアメタル層 43 は、Ni のほかに Al、Cu、Pt、Pd、それらを主成分とする合金など、はんだ層 44 の拡散防止膜として作用する材料であればよい。はんだ層 44 には、Sn 系の合金のほかに、Pb や Au を主成分とする合金等、実装基板 10 の電極材料と問題ない接続が行える材料であれば良い。

続いて、SAW 素子 1 を剥離液槽の中に入れ、不要レジストおよび蒸着膜を除去するためリフトオフを行い、さらに剥離液を除去するために SAW 素子 1 を水洗する。上記プロセスにより、図 4 (e) のように、電極パターン 3、4 と、バンプ 5 および封止枠 6 が形成された SAW 素子 1 が得られる。

【0023】

上記のように、リフトオフ蒸着プロセスによりバンプ 5 および封止枠 6 を形成すれば、バンプ 5 と封止枠 6 の同時形成、およびバンプ 5、封止枠 6 の小型化が可能である。勿論、本プロセスは通常の SAW 素子と同様に、集合基板状態（ウエハ）で行う。

また、はんだ形成を蒸着により行なっているので、ウエハの温度上昇が小さく、従来のようにはんだ印刷後のリフローのような急昇温がないので、ウエハが割れることもない。また、機械的応力がかからないのでウエハ割れを発生させない。

【0024】

上記のようにして作られた SAW 素子 1 と実装基板 10 との接合方法について、図 5 を用いて説明する。

図5 (a) に示すように、IDT電極3、端子電極4、バンプ5、はんだ封止枠6が形成されたSAWウエハ1Aを粘着シート50に貼り付ける。ここでは、ダイシング時に発生する切り屑やブレード粉がIDT電極3に付着しないよう、SAWウエハ1Aのはんだ封止枠6が形成された面に粘着シート50を貼り付けた。粘着シート50を固定したのち、図5 (a) に破線C1で示すようにダイサーにて個々のSAW素子1に分割し、その後、切り屑などを水洗除去し、乾燥させた。

次に、図5 (b) に示すように、粘着シート50に貼り付いている個片のSAW素子1の背面をツール51にて吸着し、ピックアップして粘着シート50から剥離した後、SAW素子1のIDT電極3・バンプ5・封止枠6が実装基板10Aに対向するようにして、集合基板状態のアルミナ製実装基板10Aに位置決めし、60kHz、80mWの超音波と5Nの荷重を100ms加えて仮接合した。これを所定の数量を繰り返し、集合基板10A上に所定の数量のSAW素子1を仮接合した。ここでは、はんだ44の酸化膜の成長を抑制すると共にバリアメタル層43のはんだ喰われを抑制するため、加熱せずに実施したが、はんだ接合に不具合を生じなければ、加熱してもよい。

続いて、図5 (c) に示すように、SAW素子1が仮接合された実装基板10Aをホットプレート52上に載置し、フラックスを用いず、酸素濃度100ppmの窒素雰囲気下で、260℃に加熱してはんだ44を熔融させ、次いで冷却固化し、はんだ接合とはんだ封止をした。はんだ44の酸化を防止するため、窒素雰囲気に行っているが、真空中やプラズマ中、不活性ガス中、還元ガス中などで実施してもよい。また、加熱装置としてホットプレート52を用いているが、リフロー炉、オーブンなどであっても良い。

次に、図5 (d) に示すように、はんだ接合・はんだ封止されたSAW素子1が多数搭載されている集合基板10A上に、スクリーン印刷を用いてエポキシからなる紫外線硬化性樹脂(UV樹脂)20を塗布し、紫外線を照射し硬化させる。UV樹脂を用いたのは、樹脂硬化時の集合基板10Aの反りを抑制するためである。電磁シールドが必要となる場合には、エポキシ樹脂にカーボンやCu、Agからなるフィラーを混入させてもよい。

次いで、図 5 (e) に示すように、樹脂硬化された集合基板 1 0 A を粘着シート 5 3 に貼付け、それを破線 C 2 で示すようにダイシングして個片の S A W デバイスに分割した。

図 5 (f) は最終的な製品となる S A W デバイスを示す。

【 0 0 2 5 】

図 6 は、S A W 素子 1 に設けられたバンプ 5 および封止枠 6 と、実装基板 1 0 の接合電極 1 1, 1 2 の第 2 実施例を示し、(a) は接合前、(b) は接合後を示す。

バンプ 5 および封止枠 6 の形成時において、密着層 (T i) 4 2 とバリアメタル層 (N i) 4 3 を形成した後、A g 層を $0.5\mu\text{m}$ 、S n 層を $20\mu\text{m}$ 、A u 層を $0.1\mu\text{m}$ の厚みで順次蒸着させ、積層状態のはんだ層 4 4 を形成した。なお、実装基板 1 0 の接合電極 1 1, 1 2 は、第 1 実施例と同様に、配線電極の上に N i 層を設け、その上に A u 層を設けるのがよい。

バンプ 5 および封止枠 6 の溶融接合時において、はんだ層 4 4 を S n の融点である 232°C 以上に加熱することで、A g を S n 中に溶解させ、S n A g はんだ合金を得た。同時に、A u も S n に溶解してはんだの新生面を露出させるので、実装基板 1 0 の接合電極 1 1, 1 2 にはんだ濡れを生じさせることができ、確実なはんだ接合、はんだ封止が可能となる。

なお、上記実施例では、バンプ 5 および封止枠 6 の溶融接合時にはんだ合金を得るようにしたが、接合前に加熱することで、はんだ合金を得るようにしてもよい。

【 0 0 2 6 】

S n のみでも接合は可能だが、低温脆性の性質があり、零下温度の環境では、結晶が崩壊するため、A g を共晶組成付近になるよう積層した。また、S n が表面にあると、レジスト 4 0 の剥離やダイシング時の水分などにより、表面酸化を起こし接合不良を起こすので、A u を積層した。はんだ合金が S n A g となることで、はんだの耐疲労性を増すことができる。バリアメタル層 4 3 に C u を使用すると、はんだは S n A g C u 合金になり、さらに耐疲労性が増すという利点がある。

ここでは耐疲労性から S n A g はんだを使用したが、はんだ耐熱性が必要なデバイスにはバリアメタル層 43 の上に A u 12 μ m, S n 8 μ m, A u 0.2 μ m を順に蒸着し、250℃にて S n を溶融させて接合させたのち、熱アニールして融点が 280℃の A u S n 合金を得るようにしてもよい。この方法を用いれば、S A W 素子 1 の耐熱温度が 300℃と低いにもかかわらず、接合部が 280℃以上のはんだ耐熱性を有するデバイスが可能になる。

【0027】

上記のように、はんだ層 44 を複数の金属の積層構造とすることにより、次のような作用効果を有する。

一般に制御が難しく、合金組成バラツキが大きくなったり、傾斜組成となってしまう合金蒸着をすることなく、それぞれを別々に蒸着させた後、実装時の加熱により容易にはんだ合金を得ることができる。

耐疲労性を有する S n A g はんだ、S n A g C u はんだによる接合部を容易に形成できる。

はんだ耐熱性を有する A u S n はんだの接合を、S n の融点以上、A u S n の融点以下の 240℃で行なうことができ、S A W 素子へのダメージを防止できるとともに接合封止部のはんだ耐熱性を持たせることができる。

【0028】

なお、本実施例においては、S A W デバイスを例にとっているが、本発明は S A W デバイスに限定されるものではなく、中空封止が必要となる電子部品、例えば振動空間が必要となる圧電素子やエネルギー損失を抑えるために中空が必要となる高周波素子などを用いた電子部品であってもよい。

【0029】

【発明の効果】

以上の説明で明らかなように、本発明では、電子素子上にバンプとはんだ封止枠とをフォトリソグラフィ技術を用いて同時形成しているので、微細かつ高精度なはんだ封止枠とはんだバンプとを形成することができる。また、はんだ封止枠を形成するために、電子素子上に事前にシールリングのような電極を形成することなく、はんだ封止枠を電子素子上に直接形成できるので、製造工程が簡単にな

り、位置合わせが容易になるとともに、はんだ封止枠を必要最小限の幅に形成できるので、素子の小型化が可能になる。

バンプおよびはんだ封止枠は、密着層、バリアメタル層、はんだ層の3層構造よりなり、密着層で電子素子との密着性を確保すると同時に、バリアメタル層によって密着層のはんだ食われを防止しているので、接合不良や封止不良を低減できる。

さらに、3層構造の金属層を蒸着やスパッタなど用いた堆積法により形成しているので、保護膜を厚く付けることができない電子素子にも、電子素子を損傷せず安定したバンプおよびはんだ封止枠を形成することができる。

【図面の簡単な説明】

【図1】

本発明にかかる電子部品の一例である弾性表面波デバイスの断面図である。

【図2】

図2における弾性表面波デバイスの分解斜視図である。

【図3】

SAW素子の製造方法の一例の工程図である。

【図4】

SAW素子の上にバンプと封止枠とを形成する方法を示す工程図である。

【図5】

SAW素子と実装基板との接合方法を示す工程図である。

【図6】

SAW素子に設けられたバンプおよび封止枠と、実装基板の接合電極の第2実施例を示す拡大断面図である。

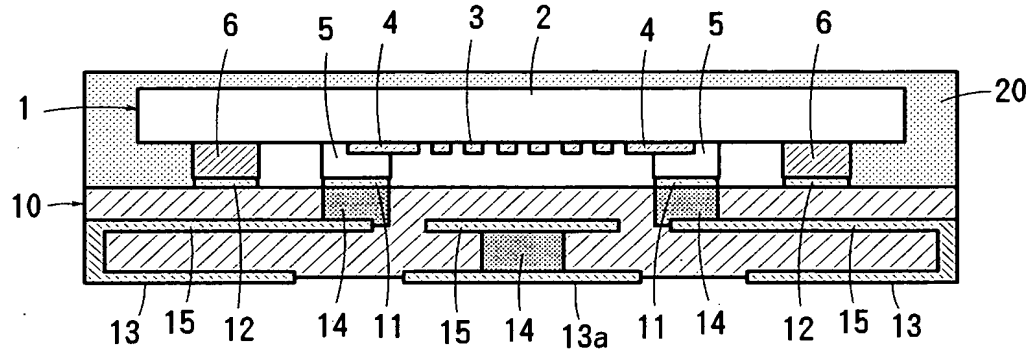
【符号の説明】

- 1 SAW素子（電子素子）
- 3 IDT電極
- 4 端子電極
- 5 バンプ
- 6 封止枠

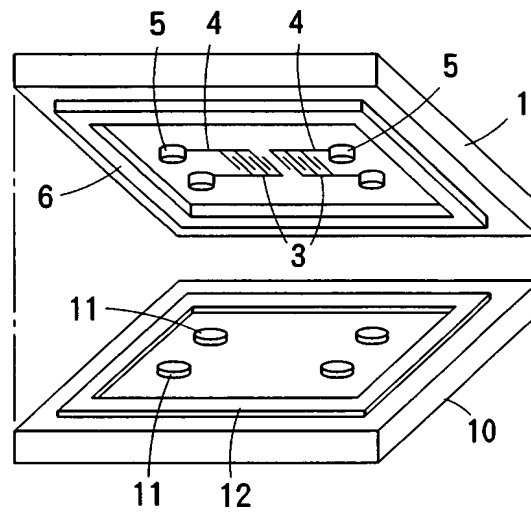
- 1 0 実装基板
- 1 1 バンプ用接合電極
- 1 2 封止枠用接合電極
- 2 0 コート樹脂
- 4 2 密着層
- 4 3 バリアメタル層
- 4 4 はんだ層

【書類名】 図面

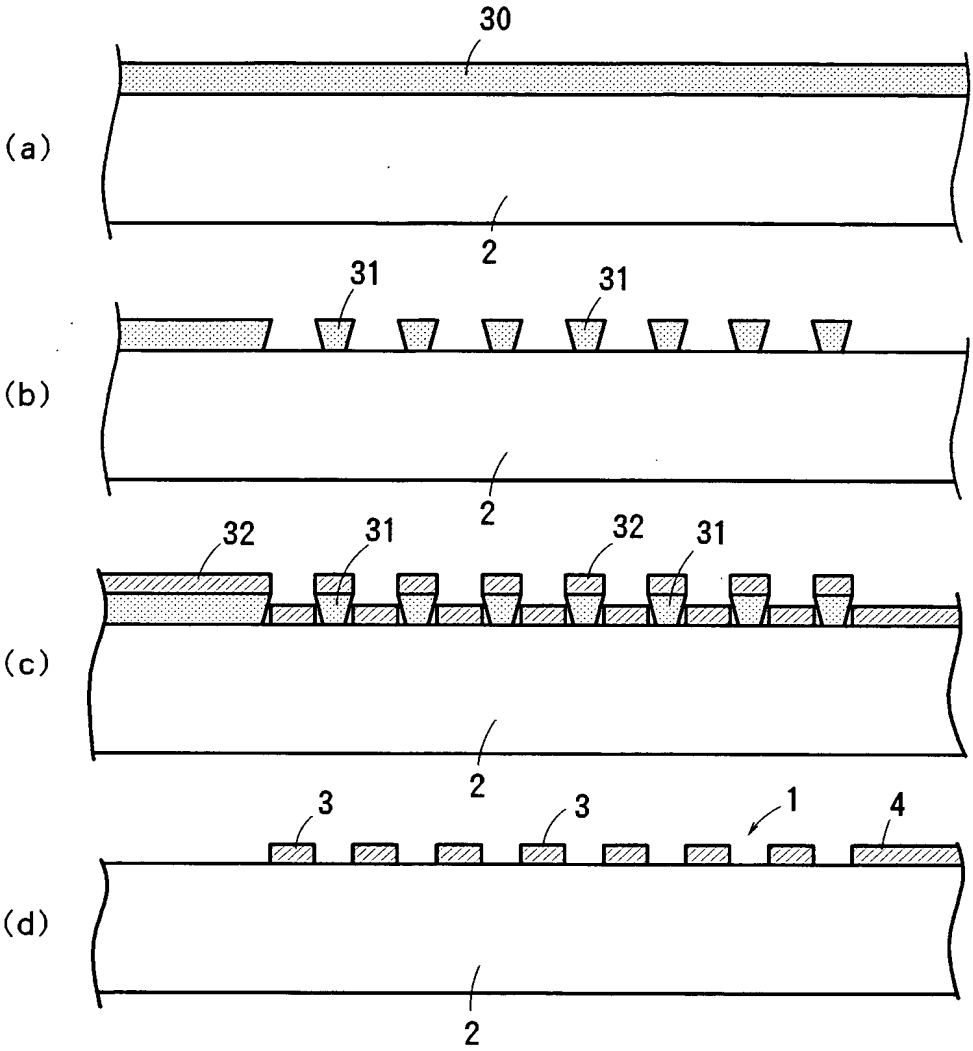
【図 1】



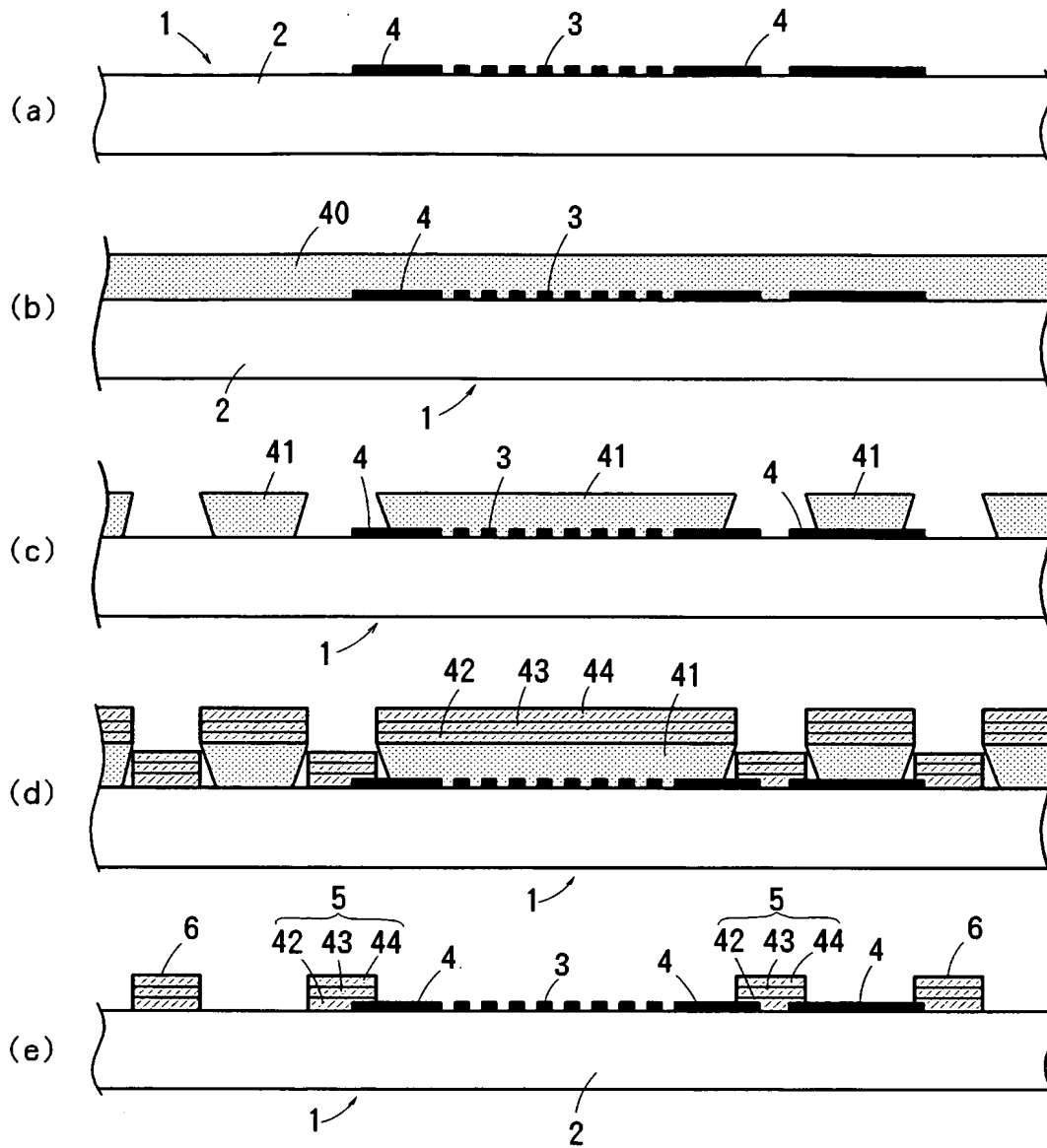
【図 2】



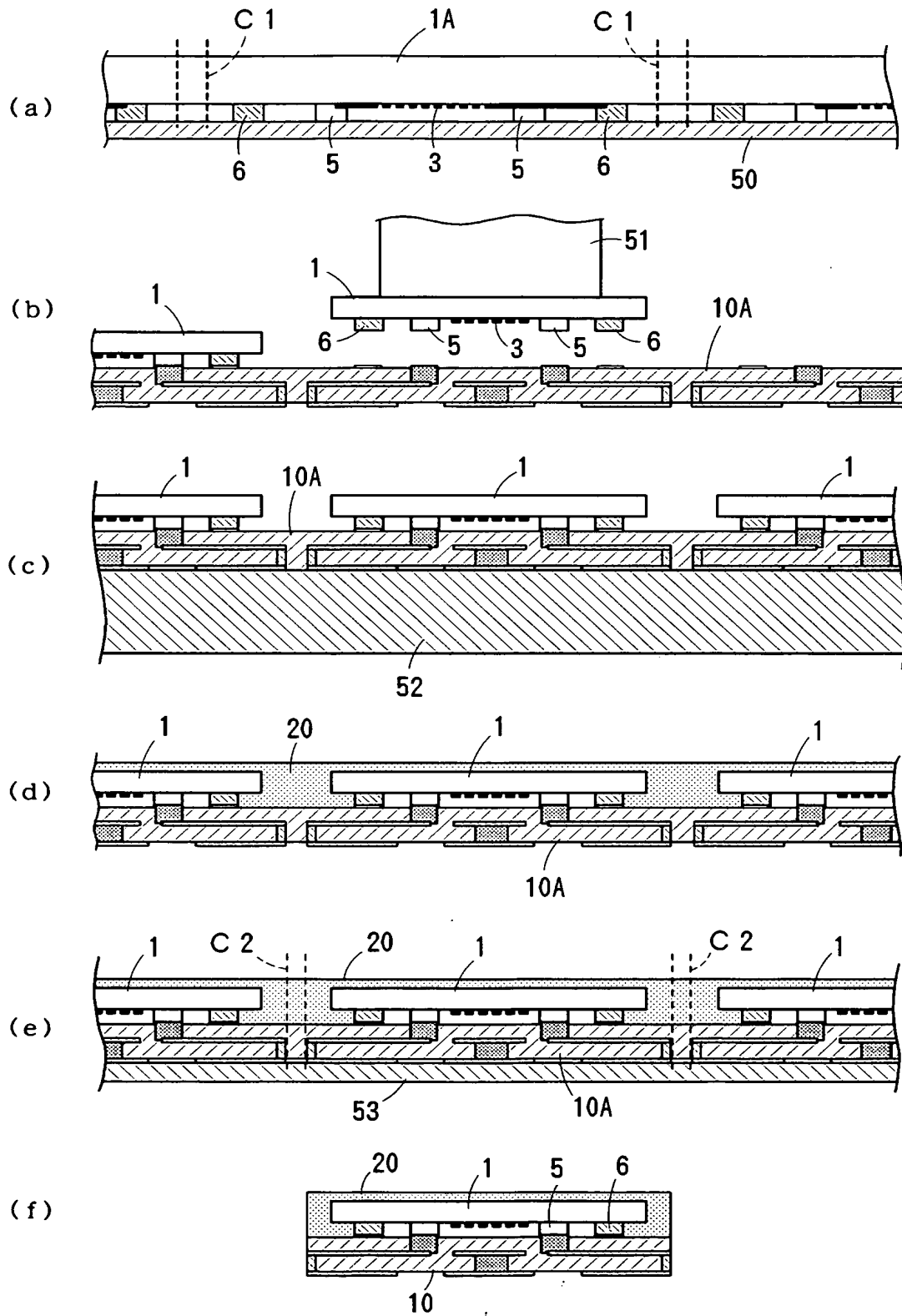
【図 3】



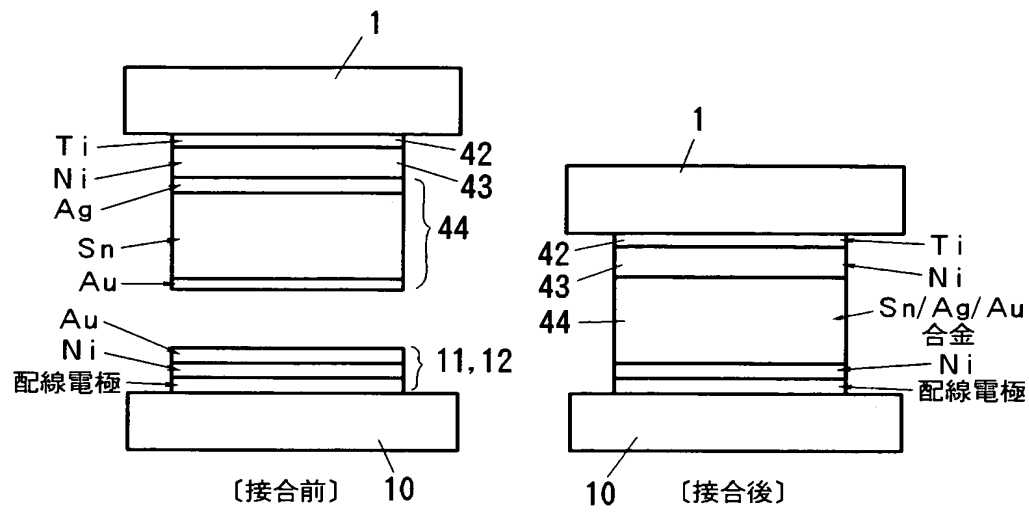
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 電子素子上にバンプと封止枠とを精度よく形成でき、確実な接合性と封止性とが得られる電子部品の製造方法を提供する。

【解決手段】 一主面に I D T 電極 3 と端子電極 4 とを有する S A W 素子 1 と、S A W 素子の上記主面と対面させてフリップチップ接合される実装基板 1 0 とを有し、S A W 素子と実装基板とをバンプ 5 を介して接合させて電氣的導通を得るとともに、S A W 素子と実装基板とをはんだ封止枠 6 を介して接合させて中空封止する弾性表面波デバイスの製造方法である。S A W 素子 1 の主面上にフォトリジスト 4 0 を塗布し、露光、現像することにより、バンプおよびはんだ封止枠に対応した開口を持つレジストパターン 4 1 を得、レジストパターンの上に密着層 4 2、バリアメタル層 4 3、はんだ層 4 4 となる金属を順次堆積し、S A W 素子 1 上のレジストパターン 4 1 を除去することで、バンプ 5 とはんだ封止枠 6 とを同時形成する。

【選択図】 図 4

特願 2 0 0 2 - 3 4 1 7 6 3

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 6 2 3 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

京都府長岡京市天神二丁目 2 6 番 1 0 号

氏 名

株式会社村田製作所